

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

YONG-KI KIM

Application No.:

Filed:

For: **High Voltage Controller for
Semiconductor Device**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	10-2002-0054158	9 September 2002

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 7/15/03


Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800



대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0054158
Application Number

출원년월일 : 2002년 09월 09일
Date of Application SEP 09, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.09.09
【발명의 명칭】	고전압 제어 장치
【발명의 영문명칭】	DEVICE FOR CONTROLLING HIGH VOLTAGE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	김용기
【성명의 영문표기】	KIM, Yong Ki
【주민등록번호】	670405-1457728
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	4 면 4,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	6 항 301,000 원
【합계】	334,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명의 고전압 제어 장치는, 외부에서 공급되는 전원 전압이 불안정 상태를 감지하는 감지기를 장착함으로써, 이러한 감지기를 통하여 불안정 상태를 감지한 경우 보다 강화된 내부 동작을 가속시켜 성능 저하를 예방하는 고전압 제어 장치를 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명은, 외부 전원 전압을 입력받고, 상기 외부 전원 전압이 일정 레벨 이하이면 저전압 신호를 생성하는 외부 전압 감지기; 워드 라인을 활성화하는 고전압을 입력받아 그 레벨을 감지하고, 레벨이 기준 전압 이하인 경우에는 발진기 구동 신호를 생성하여 출력하며, 상기 외부 전압 감지기로부터 저전압 신호를 입력받으면, 상기 기준 전압을 높여서 적용하는 레벨 감지기; 상기 레벨 감지기로부터 발진기 구동 신호를 입력받고, 상기 외부 전압 감지기로부터 저전압 신호를 입력받으며, 상기 발진기 구동 신호 및 상기 저전압 신호의 제어에 따라 주기적인 신호를 생성하는 발진기; 및 상기 발진기의 출력 신호를 입력받아 외부 전원 전압과의 다이오드 경로에 부트스트랩시킴으로써 고 전위 레벨을 갖는 전압을 생성하여 출력하는 펌프를 포함한다.

【대표도】

도 3

【색인어】

외부 전원 전압, VPP, Vcore, VDD, 차동 증폭기



【명세서】

【발명의 명칭】

고전압 제어 장치{DEVICE FOR CONTROLLING HIGH VOLTAGE}

【도면의 간단한 설명】

도 1은 종래의 고전압 제어 장치를 나타낸 블록도,

도 2a는 종래의 고전압 제어 장치 내에 장착된 발진기를 나타낸 회로도,

도 2b는 종래의 고전압 제어 장치 내에 장착된 펌프를 나타낸 회로도,

도 2c는 종래의 고전압 제어 장치 내에 장착된 레벨 감지기를 나타낸 회로도,

도 3은 본 발명의 일 실시예에 의한 고전압 제어 장치를 나타낸 블록도,

도 4는 본 발명의 일 실시예에 의한 고전압 제어 장치 내에 장착된 외부 전압 감지기를 나타낸 회로도,

도 5는 본 발명의 일 실시예에 의한 고전압 제어 장치 내에 장착된 레벨 감지기를 나타낸 회로도,

도 6은 본 발명의 일 실시예에 의한 고전압 제어 장치 내에 장착된 발진기를 나타낸 회로도,

도 7은 본 발명의 일 실시예에 의한 고전압 제어 장치의 동작을 나타낸 그래프.

* 도면의 주요 부분에 대한 부호의 설명 *

310 : 외부 전압 감지기 320 : 레벨 감지기

330 : 발진기 340 : 펌프

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 고전압 제어 장치에 관한 것으로, 특히, 반도체 장치의 전원 장치 설계 기술에 있어서, 각종 시스템에서 사용되는 반도체 부품들의 전원 장치 보조 수단으로 응용되고, 낮은 동작 전압 조건에서 목표 성능에 미달할 경우 구동 조건을 보강할 수 있는 고전압 제어 장치에 관한 것이다.

<14> 일반적으로, 반도체 장치는 실리콘 웨이퍼 가공 기술 및 로직 설계 기술을 비롯한 제반 반도체 산업 기술을 바탕으로 제조된다. 반도체 장치의 최종 산물은 플라스틱 패키지의 형태의 칩이며, 이러한 칩은 사용 목적에 따른 차별화된 로직 및 기능을 보유하고 있다. 또한, 대부분의 반도체 부품들은 시스템 구성에 있어 중요 요소인 보드(인쇄 회로 기판 ; PCB)에 장착되며 그 부품이 구동하기 위한 적절한 구동 전압(VCC 또는 VDD)을 공급받는다.

<15> 반도체 장치의 동작 전압은 대표적으로 5.0V, 3.3V 및 2.5V 등 종류가 다양하다. 그러나, 반도체 장치가 구동할 때 이들 구동 전압은 항상 안정적인 정전압을 제공해주지 못한다. 즉, 구동 전압은 그 반도체 장치가 동작하는 시스템 또는 구동 전원 장치의 잡음(Power noise)에 의하여 불안정한 상태가 발생하는 것이 일반적



다. 대개 정격 전압 조건의 상하 10%의 변동폭을 보인다. 그러므로, 반도체 장치 설계는 항상 변동하는 구동 전압 장치의 동작 범위를 고려하여 이루어져야 한다.

<16> 또한, 반도체 장치의 구동 전압은 내부 전원 전압 조건을 고려하여야 한다. 외부 전원 장치가 VDD에 있어서 $\pm 10\%$ 전압 조건을 보장한다고 하여도 내부 전원 전압은 그 조건에 미치지 못할 경우가 많다.

<17> DRAM 메모리 장치는 구동 전압(VDD)= 2.5V의 동작 조건을 가지고, 변동폭을 고려하여 2.3V부터 2.7V까지 동작 전압이 가변적인데, 이는 디램 설계자와 디램 사용자 사이의 약속이다. 그러나, 일반적인 반도체 장치의 동작 성능은 구동 전압이 떨어지면 약화된다. 즉, 2.3V 동작 전압은 설계자와 사용자에게 모두 허용된 조건이지만 성능 측면에서 상대적으로 느린 동작을 보이게 된다. 구동 전압이 2.7V 조건이라면 상대적으로 높은 성능을 유지할 수 있으나 소비 전력이 커진다는 단점이 있다. 즉, 전력=전압 \times 전류 관계가 형성되므로, 높은 동작 전압 조건에서 소비 전력을 고려한다면 성능에 우호적인 고전압 상태가 장점만 갖고 있는 것은 아니다. 그러므로, 디램 설계자는, 낮은 구동 전압 조건에서 성능을 보장하기 위하여 설계 자원을 강화한다면, 결국, 높은 구동 전압 조건에서 소비 전력이 커지는 부담을 감수해야 한다.

<18> 도 1은 종래의 고전압 제어 장치를 나타낸 블록도로서, 이러한 종래의 고전압 제어 장치는, 워드 라인을 활성화하는 고전압(VPP)을 입력받아 그 레벨을 감지하고, 레벨이 기준 전압 이하인 경우에는 발진기 구동 신호를 생성하여 출력하는 레벨 감지기(110); 레벨 감지기(110)로부터 발진기 구동 신호를 입력받아 주기적인



신호를 생성하여 출력하는 발진기(120); 및 발진기(120)의 출력 신호를 입력받아 외부 전원 전압과의 다이오드 경로에 부트스트랩(Bootstrap)시킴으로써 고 전위 레벨을 갖는 전압을 생성하여 출력하는 펌프(Pump)(130)를 포함한다.

<19> 도 2a는 종래의 고전압 제어 장치 내에 장착된 발진기(120)를 나타낸 회로도로서, 이러한 종래의 발진기(120)는, 레벨 감지기(110)로부터의 발진기 구동 신호(ENABLE) 및 제4 인버터(205)로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후 출력하는 NAND 게이트(201); NAND 게이트(201)의 신호를 입력받아 반전하여 출력하는 제1 인버터(202); 제1 인버터(202)의 신호를 입력받아 반전하여 출력하는 제2 인버터(203); 제2 인버터(203)의 신호를 입력받아 반전하여 출력하는 제3 인버터(204); 제3 인버터(204)의 신호를 입력받아 반전하여 출력하는 제4 인버터(205); 및 제4 인버터(205)의 신호를 입력받아 반전하여 주기적인 신호(OSC)로서 출력하는 제5 인버터(206)를 포함한다.

<20> 도 2b는 종래의 고전압 제어 장치 내에 장착된 펌프(130)를 나타낸 회로도로서, 이러한 종래의 펌프(130)는, 발진기(120)로부터의 신호(OSC)를 반전하여 제7 인버터(212)로 출력하는 제6 인버터(211); 제6 인버터(211)의 출력 신호를 반전하여 출력하는 제7 인버터(212); 제1 단자가 제7 인버터(212)의 출력 단자에 연결되어 충방전 기능을 제공하는 제1 커패시터(213); 양의 단자는 외부 전원 전압(VDD)에 연결되고, 음의 단자는 제1 커패시터(213)의 제2 단자에 연결된 제1 다이오드(214); 양의 단자가 제1 커패시터(213)의 제2 단자에 연결되고, 음의 단자가 워드 라인 구동 전압(VPP)을 제공하는 제2 다이오드(215); 및 제1 단자가 제2 다이오드(215)의 음의 단자에 연결되어 충방전 기능을 제공하는 제2 커패시터(216)를 포함한다.



<21> 도 2c는 종래의 고전압 제어 장치 내에 장착된 레벨 감지기(110)를 나타낸 회로도로서, 이러한 종래의 레벨 감지기(110)는, 제1 단자가 워드 라인 구동 전압(VPP)에 연결되어 저항을 제공하는 제1 저항(221); 제1 단자가 제1 저항(221)의 제2 단자에 연결되고, 제2 단자가 접지되어 저항을 제공하는 제2 저항(222); 제1 입력 단자는 제1 저항(221)의 제2 단자에 연결되고, 제2 입력 단자로 코어 전원 전압(Vcore)을 인가받으며, 제1 입력 단자의 전위와 제2 입력 단자의 전위를 비교하여, 제1 입력 단자의 전위가 높은 경우에는 제2 논리 단계(High)의 신호를 출력하고, 제2 입력 단자의 전위가 높은 경우에는 제1 논리 단계(Low)의 신호를 출력하는 차동 증폭기(223); 차동 증폭기(223)의 출력 신호를 입력받아 반전한 후, 그 결과값을 제9 인버터(225)로 출력하는 제8 인버터(224); 및 제8 인버터(224)의 출력 신호를 입력받아 반전한 후, 그 결과값(Enable)을 출력하는 제9 인버터(225)를 포함한다.

<22> 그러나, 상술한 종래의 고전압 제어 장치는, RAS 활성화 이후 CAS 활성화까지의 시간을 의미하는 tRCD의 예를 통하여 보면, CAS 활성화가 읽기 동작 또는 쓰기 동작을 의미하므로 CAS 사이클 동작이 가능한 수준의 RAS 활성화가 보장되지 않으면 RAS 동작부터 CAS 동작에 이르는 지연 시간을 더 보장해 주어야 할 것이다. 이러한 tRCD를 지원하는 요소 중에 가장 영향력 있는 요소가 워드 라인 구동 전압(VPP)이다. 이 VPP는 내부 공급 전원으로서는, 외부 전원 VDD의 부트 스트랩 또는 펌핑 동작에 의하여 획득된다. 그런데, 이 전원 전압은 낮은 VDD 조건에서는 효율이 떨어져 목표 값보다 더 낮은 전위가 형성되어 tRCD의 성능을 제대로 지원하지 못하는 문제점이 있다. 즉, 부족한 VPP 구동력으로 인하여 디램이 상대적으로 느린 접근 속도를 갖는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<23> 상기 문제점을 해결하기 위하여 안출된 본 발명은, 외부에서 공급되는 전원 전압이 불안정 상태를 감지하는 감지기를 장착함으로써, 이러한 감지기를 통하여 불안정 상태를 감지한 경우 보다 강화된 내부 동작을 가속시켜 성능 저하를 예방하는 고전압 제어 장치를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<24> 상기 목적을 달성하기 위하여 본 발명의 고전압 제어 장치는, 외부 전원 전압을 입력받고, 상기 외부 전원 전압이 일정 레벨 이하이면 저전압 신호를 생성하는 외부 전압 감지기; 워드 라인을 활성화하는 고전압을 입력받아 그 레벨을 감지하고, 레벨이 기준 전압 이하인 경우에는 발진기 구동 신호를 생성하여 출력하며, 상기 외부 전압 감지기로 부터 저전압 신호를 입력받으면, 상기 기준 전압을 높여서 적용하는 레벨 감지기; 상기 레벨 감지기로 부터 발진기 구동 신호를 입력받고, 상기 외부 전압 감지기로 부터 저전압 신호를 입력받으며, 상기 발진기 구동 신호 및 상기 저전압 신호의 제어에 따라 주기적인 신호를 생성하는 발진기; 및 상기 발진기의 출력 신호를 입력받아 외부 전원 전압과의 다이오드 경로에 부트스트랩시킴으로써 고 전위 레벨을 갖는 전압을 생성하여 출력하는 펌프를 포함한다.



- <25> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 본 발명의 가장 바람직한 실시예들을 첨부된 도면을 참조하여 설명하기로 한다.
- <26> 먼저, 도 3은 본 발명의 일 실시예에 의한 고전압 제어 장치를 나타낸 블록도로서, 이러한 본 발명의 고전압 제어 장치는, 외부 전압 감지기(310), 레벨 감지기(320), 발진기(330) 및 펌프(340)를 포함한다.
- <27> 외부 전압 감지기(310)는, 외부 전원 전압을 입력받고, 상기 외부 전원 전압이 일정 레벨 이하이면 저전압 신호(lowvolt)를 생성하여 후술하는 레벨 감지기(320) 및 후술하는 발진기(330)에 출력하는 역할을 한다.
- <28> 또한, 레벨 감지기(320)는, 워드 라인을 활성화하는 고전압(VPP)을 입력받아 그 레벨을 감지하고, 레벨이 기준 전압 이하인 경우에는 발진기 구동 신호를 생성하여 출력하며, 상기 외부 전압 감지기(310)로부터 저전압 신호(lowvolt)를 입력받으면, 상기 기준 전압을 높여서 적용하는 역할을 한다.
- <29> 한편, 발진기(330)는, 상기 레벨 감지기(320)로부터 발진기 구동 신호를 입력받고, 상기 외부 전압 감지기(310)로부터 저전압 신호(lowvolt)를 입력받으며, 상기 발진기 구동 신호 및 상기 저전압 신호의 제어에 따라 주기적인 신호를 생성하여 후술하는 펌프(340)에 출력하는 역할을 한다.
- <30> 또한, 펌프(340)는, 상기 발진기(330)의 출력 신호를 입력받아 외부 전원 전압과의 다이오드 경로에 부트스트랩(Bootstrap)시킴으로써 고 전위 레벨을 갖는 전압을 생성하여 출력하는 역할을 한다.



- <31> 도 4는 본 발명의 일 실시예에 의한 고전압 제어 장치 내에 장착된 외부 전압 감지기(310)를 나타낸 회로도로서, 이러한 외부 전압 감지기(310)에 관하여 설명하면 다음과 같다.
- <32> 제1 저항(410)은, 제1 단자가 워드 라인 구동 전압에 연결되어 전류원을 제공하는 역할을 한다.
- <33> 또한, 제1 NMOS 트랜지스터(420)는, 드레인 단자는 상기 제1 저항(410)의 제2 단자에 연결되고, 게이트 단자는 드레인 단자에 묶여, 다이오드의 역할을 한다.
- <34> 한편, 제2 NMOS 트랜지스터(430)는, 드레인 단자는 상기 제1 NMOS 트랜지스터(420)의 소스 단자에 연결되고, 게이트 단자는 드레인 단자에 묶이며, 소스 단자는 접지되어, 다이오드의 역할을 한다.
- <35> 또한, 차동 증폭기(440)는, 제1 입력 단자는 상기 제1 NMOS 트랜지스터(420)의 드레인 단자에 연결되고, 제2 입력 단자로 외부 전원 전압을 인가받으며, 상기 제1 입력 단자의 전위와 상기 제2 입력 단자의 전위를 비교하여, 상기 제1 입력 단자의 전위가 높은 경우에는 제2 논리 단계(High)의 신호를 출력하고, 상기 제2 입력 단자의 전위가 높은 경우에는 제1 논리 단계(Low)의 신호를 출력하는 역할을 한다.
- <36> 한편, 제1 인버터(450)는, 상기 차동 증폭기(440)의 출력 신호를 입력받아 반전한 후, 그 결과값을 후술하는 제2 인버터(460)로 출력하는 역할을 한다.



- <37> 또한, 제2 인버터(460)는, 상기 제1 인버터(450)의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 저전압 신호로서 상기 레벨 감지기(320) 및 상기 발진기(330)로 출력하는 역할을 한다.
- <38> 도 5는 본 발명의 일 실시예에 의한 고전압 제어 장치 내에 장착된 레벨 감지기(320)를 나타낸 회로도로서, 이러한 레벨 감지기(320)에 관하여 설명하면 다음과 같다.
- <39> 제3 인버터(510)는, 상기 외부 전압 감지기(310)로부터 상기 저전압 신호(lowvolt)를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <40> 또한, 제3 NMOS 트랜지스터(520)는, 드레인 단자는 상기 워드 라인 구동 전압에 연결되고, 게이트 단자는 상기 제3 인버터(510)의 출력 신호를 입력받는다.
- <41> 한편, 제2 저항(530)은, 제1 단자가 상기 제3 NMOS 트랜지스터(520)의 드레인 단자에 연결되고, 제2 단자가 상기 제3 NMOS 트랜지스터(520)의 소스 단자에 연결되어 저항을 제공하는 역할을 한다.
- <42> 또한, 제3 저항(540)은, 제1 단자가 상기 제2 저항(530)의 제2 단자에 연결되어 저항을 제공하는 역할을 한다.
- <43> 한편, 제4 저항(550)은, 제1 단자가 상기 제3 저항(540)의 제2 단자에 연결되고, 제2 단자가 접지되어 저항을 제공하는 역할을 한다.
- <44> 또한, 차동 증폭기(560)는, 제1 입력 단자는 상기 제3 저항(540)의 제2 단자에 연결되고, 제2 입력 단자로 코어 전원 전압을 인가받으며, 상기 제1 입력 단자의 전위와 상기 제2 입력 단자의 전위를 비교하여, 상기 제1 입력 단자의 전위가 높은 경우에는 제



2 논리 단계(High)의 신호를 출력하고, 상기 제2 입력 단자의 전위가 높은 경우에는 제1 논리 단계(Low)의 신호를 출력하는 역할을 한다. 여기서, 코어 전원 전압이라 함은, 디램 셀의 저장 노드에 저장되는 데이터 비트를 현실화 시켜주는 전위를 말한다.

<45> 한편, 제4 인버터(570)는, 상기 차동 증폭기(560)의 출력 신호를 입력받아 반전한 후, 그 결과값을 후술하는 제5 인버터(580)로 출력하는 역할을 한다.

<46> 또한, 제5 인버터(580)는, 상기 제4 인버터(570)의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 발진기 구동 신호(Enable)로서 상기 발진기(330)로 출력하는 역할을 한다.

<47> 도 6은 본 발명의 일 실시예에 의한 고전압 제어 장치 내에 장착된 발진기(330)를 나타낸 회로도로서, 이러한 본 발명의 발진기(330)는, 제1 발진부(610), 제2 발진부(620), NOR 게이트(640) 및 제6 인버터(650)를 포함한다.

<48> 제1 발진부(610)는, 상기 저전압 신호(lowvolt)가 활성화되지 않은 경우에, 제1 발진 신호를 생성하여 후술하는 NOR 게이트(630)로 출력하는 역할을 한다. 여기서, 상기 제1 발진부(610)에 관하여 상세히 설명하면 다음과 같다.

<49> 상기 제1 발진부(610) 내에 장착된 제1 NAND 게이트(611)는, 레벨 감지기(320)로부터의 발진기 구동 신호(ENABLE), 상기 저전압 신호(lowvolt)를 포함하는 복수개의 신호를 입력받아 NAND 연산을 수행한 후 출력하는 역할을 한다.

<50> 또한, 상기 제1 발진부(610) 내에 장착된 제7 인버터(612)는, 상기 제1 NAND 게이트(611)의 신호를 입력받아 반전하여 출력하는 역할을 한다.



- <51> 한편, 상기 제1 발진부(610) 내에 장착된 제8 인버터(613)는, 상기 제7 인버터(612)의 신호를 입력받아 반전하여 출력하는 역할을 한다.
- <52> 또한, 상기 제1 발진부(610) 내에 장착된 제9 인버터(614)는, 상기 제8 인버터(613)의 신호를 입력받아 반전하여 출력하는 역할을 한다.
- <53> 한편, 상기 제1 발진부(610) 내에 장착된 제10 인버터(615)는, 상기 제9 인버터(614)의 신호를 입력받아 반전하여 상기 제1 NAND 게이트(611)로 출력하는 역할을 한다.
- <54> 또한, 상기 제1 발진부(610) 내에 장착된 제11 인버터(616)는, 상기 제10 인버터(615)의 신호를 입력받아 반전하여 주기적인 신호(OSC)로서 후술하는 NOR 게이트(630)로 출력하는 역할을 한다.
- <55> 또한, 제2 발진부(620)는, 상기 저전압 신호(lowvolt)가 활성화된 경우에, 상기 제1 발진 신호 보다 주기가 긴 제2 발진 신호를 생성하여 후술하는 NOR 게이트(630)로 출력하는 역할을 한다. 여기서, 상기 제2 발진부(620)에 관하여 상세히 설명하면 다음과 같다.
- <56> 상기 제2 발진부(620) 내에 장착된 제12 인버터(621)는, 상기 저전압 신호(lowvolt)를 입력받아 반전하여 출력하는 역할을 한다.
- <57> 또한, 상기 제2 발진부(620) 내에 장착된 제2 NAND 게이트(622)는, 레벨 감지기(320)로부터의 발진기 구동 신호(ENABLE), 상기 제12 인버터(621)의 출력 신호를 포함하는 복수개의 신호를 입력받아 NAND 연산을 수행한 후 출력하는 역할을 한다.
- <58> 또한, 상기 제2 발진부(620) 내에 장착된 제13 인버터(623)는, 상기 제2 NAND 게이트(622)의 신호를 입력받아 반전하여 출력하는 역할을 한다.



- <59> 한편, 상기 제2 발진부(620) 내에 장착된 제14 인버터(624)는, 상기 제13 인버터(623)의 신호를 입력받아 반전하여 출력하는 역할을 한다.
- <60> 또한, 상기 제2 발진부(620) 내에 장착된 제15 인버터(625)는, 상기 제14 인버터(624)의 신호를 입력받아 반전하여 출력하는 역할을 한다.
- <61> 한편, 상기 제2 발진부(620) 내에 장착된 제16 인버터(626)는, 상기 제15 인버터(625)의 신호를 입력받아 반전하여 출력하는 역할을 한다.
- <62> 또한, 상기 제2 발진부(620) 내에 장착된 제17 인버터(627)는, 상기 제16 인버터(626)의 신호를 입력받아 반전하여 주기적인 신호(OSC)로서 후술하는 NOR 게이트(630)로 출력하는 역할을 한다.
- <63> 한편, 상기 제2 발진부(620) 내에 장착된 제18 인버터(628)는, 상기 제16 인버터(626)의 신호를 입력받아 반전하여 출력하는 역할을 한다.
- <64> 한편, 상기 제2 발진부(620) 내에 장착된 제19 인버터(629)는, 상기 제18 인버터(628)의 신호를 입력받아 반전하여 출력하는 역할을 한다.
- <65> 또한, 상기 제2 발진부(620) 내에 장착된 제20 인버터(630)는, 상기 제19 인버터(629)의 신호를 입력받아 반전하여 출력하는 역할을 한다.
- <66> 한편, 상기 제2 발진부(620) 내에 장착된 제21 인버터(631)는, 상기 제20 인버터(630)의 신호를 입력받아 반전하여 상기 제2 NAND 게이트(622)로 출력하는 역할을 한다.
- <67> 또한, NOR 게이트(640)는, 상기 제1 발진부(610) 및 상기 제2 발진부(620)의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 후술하는 제6 인버터(650)로 출력하는 역할을 한다.



<68> 한편, 제6 인버터(650)는, 상기 NOR 게이트(640)의 출력 신호를 입력받아 반전한 후, 그 결과값을 주기적인 신호(OSC)로서 출력하는 역할을 한다.

<69> 도 7은 본 발명의 일 실시예에 의한 고전압 제어 장치의 동작을 나타낸 그래프로서, 이를 참조하여 본 발명의 고전압 제어 장치의 동작에 관하여 설명하면 다음과 같다.

<70> 먼저, 외부 전압 감지기(310)는, 외부 전원 전압을 입력받고, 외부 전원 전압이 일정 레벨 이하이면 저전압 신호(lowvolt)를 생성하여 레벨 감지기(320) 및 발진기(330)에 출력하는데, 여기서, 일정 레벨의 전압은, 제1 저항(410), 제1 NMOS 트랜지스터(420) 및 제2 NMOS 트랜지스터(430)에 의해 인가된다. 이후에, 레벨 감지기(320)는, 워드 라인을 활성화하는 고전압(VPP)을 입력받아 그 레벨을 감지하고, 레벨이 기준 전압 이하인 경우에는 발진기 구동 신호를 생성하여 출력하며, 상기 외부 전압 감지기(310)로부터 저전압 신호(lowvolt)를 입력받으면, 상기 기준 전압을 높여서 적용하는데, 여기서, 기준 전압을 높이기 위하여 제3 인버터(510), 제3 NMOS 트랜지스터(520) 및 제2 저항(530)이 사용된다. 다음에, 발진기(330)는, 레벨 감지기(320)로부터 발진기 구동 신호를 입력받고, 외부 전압 감지기(310)로부터 저전압 신호(lowvolt)를 입력받으며, 발진기 구동 신호 및 저전압 신호의 제어에 따라 주기적인 신호를 생성하여 펌프(340)에 출력하고, 펌프(340)에서는, 발진기(330)의 출력 신호를 입력받아 외부 전원 전압과의 다이오드 경로에 부트스트랩(Bootstrap)시킴으로써 고 전위 레벨을 갖는 전압을 생성하여 출력하게 된다.



<71> 이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진
자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지로 치환, 변형
및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 한정되는 것이 아니다.

【발명의 효과】

<72> 본 발명은, 외부에서 공급되는 전원 전압이 불안정 상태를 감지하는 감지기를 장착
함으로써, 이러한 감지기를 통하여 불안정 상태를 감지한 경우 보다 강화된 내부 동작을
가속시켜 성능 저하를 예방하는 이점이 있다.

**【특허청구범위】****【청구항 1】**

외부 전원 전압을 입력받고, 상기 외부 전원 전압이 일정 레벨 이하이면 저전압 신호를 생성하는 외부 전압 감지기;

워드 라인을 활성화하는 고전압을 입력받아 그 레벨을 감지하고, 레벨이 기준 전압 이하인 경우에는 발진기 구동 신호를 생성하여 출력하며, 상기 외부 전압 감지기로부터 저전압 신호를 입력받으면, 상기 기준 전압을 높여서 적용하는 레벨 감지기;

상기 레벨 감지기로부터 발진기 구동 신호를 입력받고, 상기 외부 전압 감지기로부터 저전압 신호를 입력받으며, 상기 발진기 구동 신호 및 상기 저전압 신호의 제어에 따라 주기적인 신호를 생성하는 발진기; 및

상기 발진기의 출력 신호를 입력받아 외부 전원 전압과의 다이오드 경로에 부트스트랩시킴으로써 고 전위 레벨을 갖는 전압을 생성하여 출력하는 펌프

를 포함하는 것을 특징으로 하는 고전압 제어 장치.

【청구항 2】

제1항에 있어서, 상기 외부 전압 감지기는,

제 1 단자가 워드 라인 구동 전압에 연결되어 전류원을 제공하는 제1 저항;

드레인 단자는 상기 제1 저항의 제2 단자에 연결되고, 게이트 단자는 드레인 단자에 묶인 제1 NMOS 트랜지스터;



드레인 단자는 상기 제1 NMOS 트랜지스터의 소스 단자에 연결되고, 게이트 단자는 드레인 단자에 묶이며, 소스 단자는 접지된 제2 NMOS 트랜지스터;

제 1 입력 단자는 상기 제1 NMOS 트랜지스터의 드레인 단자에 연결되고, 제2 입력 단자로 외부 전원 전압을 인가받으며, 상기 제1 입력 단자의 전위와 상기 제2 입력 단자의 전위를 비교하여, 상기 제1 입력 단자의 전위가 높은 경우에는 제2 논리 단계의 신호를 출력하고, 상기 제2 입력 단자의 전위가 높은 경우에는 제1 논리 단계의 신호를 출력하는 차동 증폭기;

상기 차동 증폭기의 출력 신호를 입력받아 반전하는 제1 인버터; 및

상기 제1 인버터의 출력 신호를 입력받아 반전하여 상기 저전압 신호로서 상기 레벨 감지기 및 상기 발진기로 출력하는 제2 인버터

를 포함하는 것을 특징으로 하는 고전압 제어 장치.

【청구항 3】

제1항에 있어서, 상기 레벨 감지기는,

상기 외부 전압 감지기로부터 상기 저전압 신호를 입력받아 반전하는 제3 인버터;

드레인 단자는 상기 워드 라인 구동 전압에 연결되고, 게이트 단자는 상기 제3 인버터의 출력 신호를 입력받는 제3 NMOS 트랜지스터;

제 1 단자가 상기 제3 NMOS 트랜지스터의 드레인 단자에 연결되고, 제2 단자가 상기 제3 NMOS 트랜지스터의 소스 단자에 연결된 제2 저항;

제1 단자가 상기 제2 저항의 제2 단자에 연결된 제3 저항;



제 1 단자가 상기 제3 저항의 제2 단자에 연결되고, 제2 단자가 접지된 제4 저항;

제1 입력 단자는 상기 제3 저항의 제2 단자에 연결되고, 제2 입력 단자로 코어 전원 전압을 인가받으며, 상기 제1 입력 단자의 전위와 상기 제2 입력 단자의 전위를 비교하여, 상기 제1 입력 단자의 전위가 높은 경우에는 제2 논리 단계의 신호를 출력하고, 상기 제2 입력 단자의 전위가 높은 경우에는 제1 논리 단계의 신호를 출력하는 차동 증폭기;

상기 차동 증폭기의 출력 신호를 입력받아 반전하는 제4 인버터; 및

상기 제4 인버터의 출력 신호를 입력받아 반전하여 상기 발진기 구동 신호로서 상기 발진기로 출력하는 제5 인버터

를 포함하는 것을 특징으로 하는 고전압 제어 장치.

【청구항 4】

제1항에 있어서, 상기 발진기는,

상기 저전압 신호가 활성화되지 않은 경우에, 제1 발진 신호를 생성하는 제1 발진부;

상기 저전압 신호가 활성화된 경우에, 상기 제1 발진 신호 보다 주기가 긴 제2 발진 신호를 생성하는 제2 발진부;

상기 제1 발진부 및 상기 제2 발진부의 출력 신호를 입력받아 NOR 연산을 수행하는 NOR 게이트; 및



상기 NOR 게이트의 출력 신호를 입력받아 반전한 후, 그 결과값을 주기적인 신호로서 출력하는 제6 인버터

를 포함하는 것을 특징으로 하는 고전압 제어 장치.

【청구항 5】

제4항에 있어서, 상기 제1 발진부는,

상기 레벨 감지기로부터의 발진기 구동 신호, 상기 저전압 신호를 포함하는 복수개의 신호를 입력받아 NAND 연산을 수행하는 제1 NAND 게이트;

상기 제1 NAND 게이트의 신호를 입력받아 반전하는 제7 인버터;

상기 제7 인버터의 신호를 입력받아 반전하는 제8 인버터;

상기 제8 인버터의 신호를 입력받아 반전하는 제9 인버터;

상기 제9 인버터의 신호를 입력받아 반전하여 상기 제1 NAND 게이트로 출력하는 제10 인버터; 및

상기 제10 인버터의 신호를 입력받아 반전하여 주기적인 신호로서 상기 NOR 게이트로 출력하는 제11 인버터

를 포함하는 것을 특징으로 하는 고전압 제어 장치.

【청구항 6】

제4항에 있어서, 상기 제2 발진부는,

상기 저전압 신호를 입력받아 반전하는 제12 인버터;

상기 레벨 감지기로부터의 발진기 구동 신호, 상기 제12 인버터의 출력 신호를 포함하는 복수개의 신호를 입력받아 NAND 연산을 수행하는 제2 NAND 게이트;

상기 제2 NAND 게이트의 신호를 입력받아 반전하는 제13 인버터;

상기 제13 인버터의 신호를 입력받아 반전하는 제14 인버터;

상기 제14 인버터의 신호를 입력받아 반전하는 제15 인버터;

상기 제15 인버터의 신호를 입력받아 반전하는 제16 인버터;

상기 제16 인버터의 신호를 입력받아 반전하여 주기적인 신호로서 상기 NOR 게이트로 출력하는 제17 인버터;

상기 제16 인버터의 신호를 입력받아 반전하는 제18 인버터;

상기 제18 인버터의 신호를 입력받아 반전하는 제19 인버터;

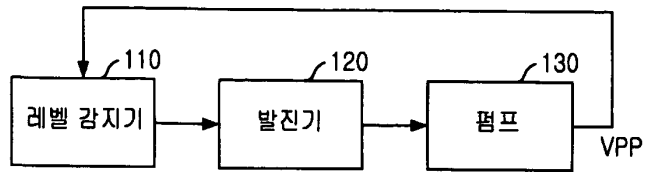
상기 제19 인버터의 신호를 입력받아 반전하는 제20 인버터; 및

상기 제20 인버터의 신호를 입력받아 반전하여 상기 제2 NAND 게이트로 출력하는 제21 인버터

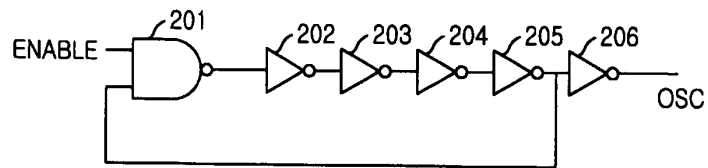
를 포함하는 것을 특징으로 하는 고전압 제어 장치.

【도면】

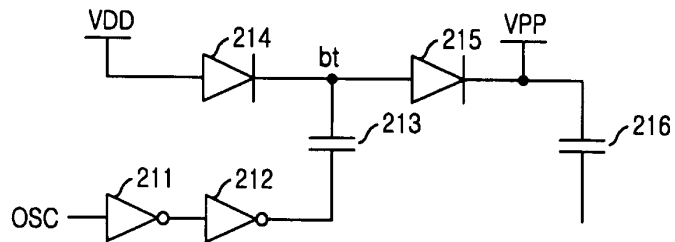
【도 1】



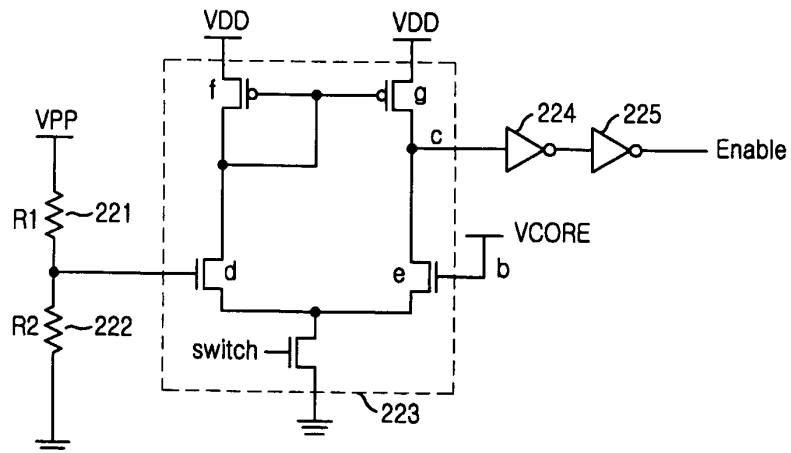
【도 2a】



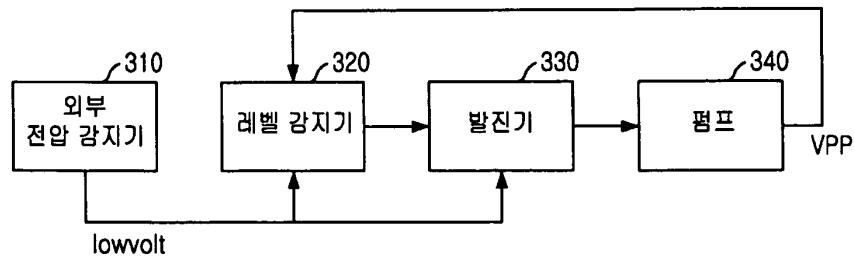
【도 2b】



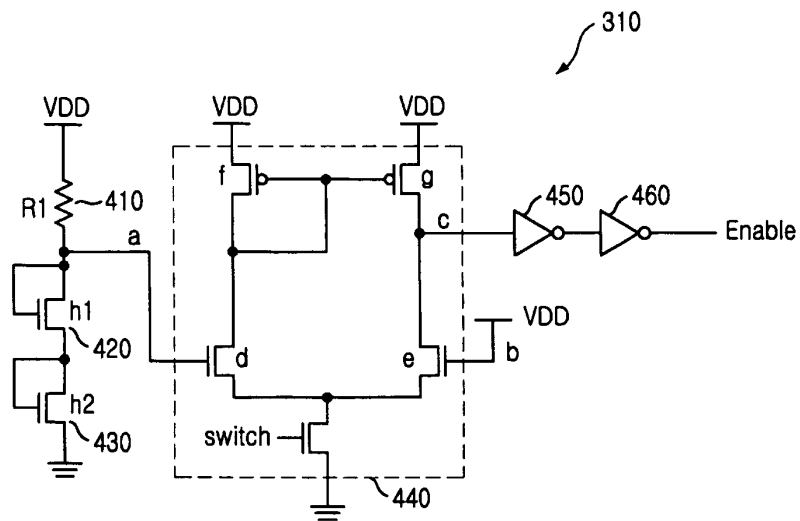
【도 2c】



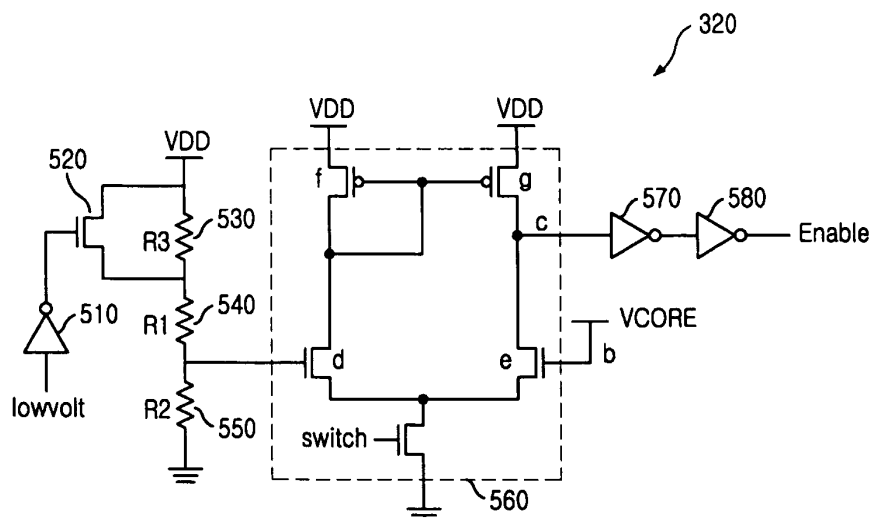
【도 3】



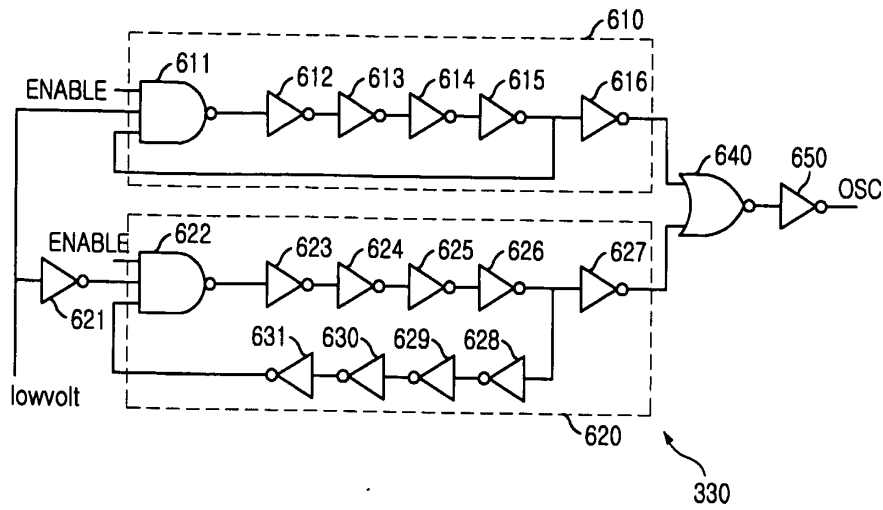
【도 4】



【도 5】



【도 6】



【도 7】

